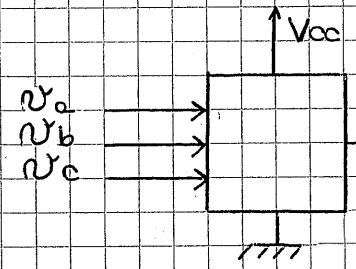
→ ELETTRONICA DIGITALE

- Controllo digitale → variabili logiche, algebra booleana
- Capacità di calcolo → rappresentazione di numeri in base 2, aritmetica binaria (calcolare in binario permette di trovare soluzioni tecnologiche adeguate)
- Digital Signal Processing → elaborazione digitale del segnale (una forma d'onda complicata, ovvero una sequenza di numeri, permette di passare da un dominio continuo a uno discreto senza che il contenuto informativo cambi)

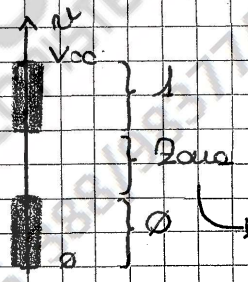
Vantaggi dell'elettronica → - dimensioni ridotte
- velocità di elaborazione elevate
- bassi consumi (→ potenza dissipata)
- costi ridotti

MASTER COPY
Tel. 050 8312126
Cell. 388 9837745

→ Circuito elettronico



È intrinsecamente analogico
→ Attribuzione dei livelli logici: a ciascun livello logico viene associato un intervallo di tensioni



→ una rappresenta ciascun livello logico

→ Requisiti del circuito ideale:

1. deve realizzare una funzione logica (relazione tra ingressi e uscite)
2. deve quantizzare i livelli di uscita (ovvero "schiacciare" la tensione di uscita quanto più possibile verso Ø e Vcc)
   → circuito NON LINEARE
3. deve essere presente la rigenerazione dei livelli → in ingresso si ha un livello logico sporcato (che coincide con la zona d'incertezza), in uscita si deve avere un livello logico buono
4. deve essere MONODIREZIONALE (le reti resistive sono usate)
5. deve poter pilotare altri circuiti

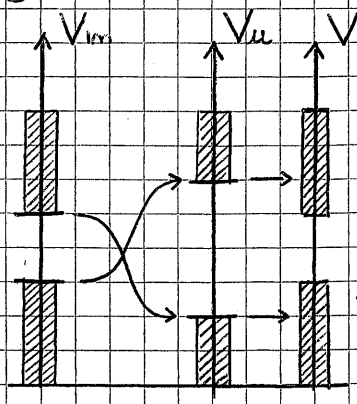
Caratteristica di trasferimento statica ($V_u - V_{im}$) = relazione che lega i valori statici di ingresso e di uscita, dopo che si sono esauriti i transitori

→ Idealmente, la zona di incertezza dovrebbe essere nulla
→ a Vcc/2 ci dovrebbe essere una zona di transizione, in modo da poter associare un livello logico a ciascun valore di V_{im}

→ Per fissare gli intervalli di tensione corrispondenti ai livelli logici Ø e 1 in uscita, si considerano i punti tali che:

$\partial V_u / \partial V_{im} = -1$ (guadagno unitario) → convenzione

→ Rigenerazione

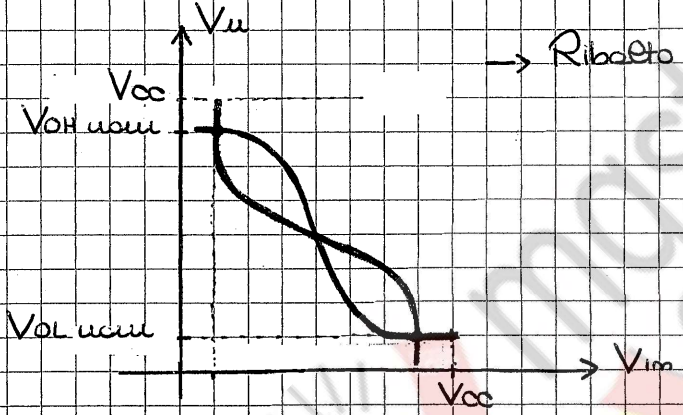


→ Ottengo dei buoni livelli logici a partire dai livelli logici di V_{im}, decisamente peggiori

→ La zona di incertezza in uscita è maggiore di quella d'ingresso

↳ Il circuito deve amplificare nella zona centrale (cioè per piccoli segnali)

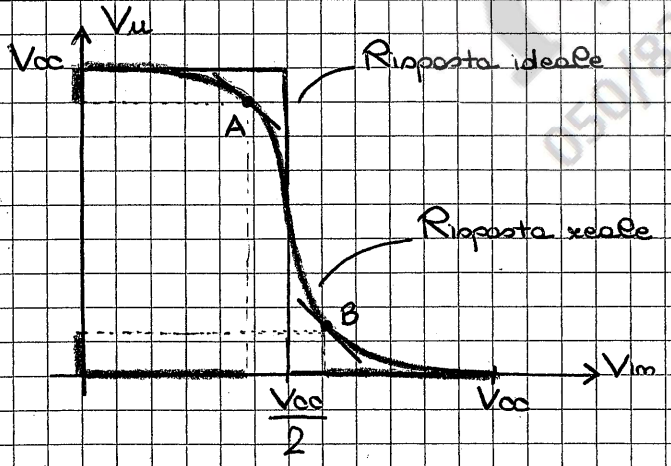
→ I punti notevoli della caratteristica vengono definiti tramite costruzione geometrica (metodo iterativo)



→ Ribalto la caratteristica

→ Dal punto di vista statico, l'unica potenza scambiata dal circuito è quella dissipata attraverso la porta di alimentazione

Hp: Il circuito passa metà del tempo nel livello alto in uscita e metà nel livello basso in uscita



Es. Famiglie NOT

A e B permettono di definire gli estremi dei livelli logici

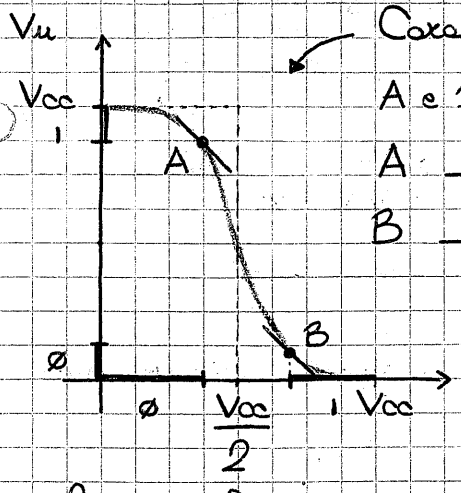
A → V_{IL} max = massima tensione d'ingresso interpretata come 0 logico

↳ V_{OH} min = minima tensione d'uscita interpretata come 1 logico

B → V_{IH} min = minima tensione d'ingresso interpretata come 1 logico

↳ V_{OL} max = massima tensione d'uscita interpretata come 0 logico

→ Elettronica digitale



Caratteristica di trasferimento statica

A e B permettono di fissare i livelli logici

A → $V_{IL\,max}$, $V_{OH\,min}$

B → $V_{IH\,min}$, $V_{OL\,max}$

Tra Ø e A il circuito si comporta da attenuatore (analogamente tra B e Vcc)

Tra A e B il circuito si comporta da amplificatore (guadagno > 1 ⇒ permette la rigenerazione)
↳ per piccoli segnali

→ Zona di funzionamento del circuito digitale ⇒ Attenuazione

LS (Logic swing) $= V_{OH\,min} - V_{OL\,max}$

$NM_H = V_{OH\,min} - V_{IH\,min}$ → noise margin

$NM_L = V_{IL\,max} - V_{OL\,max}$

MASTER COPY
Tel. 050 8312126
Cell. 388 9837745

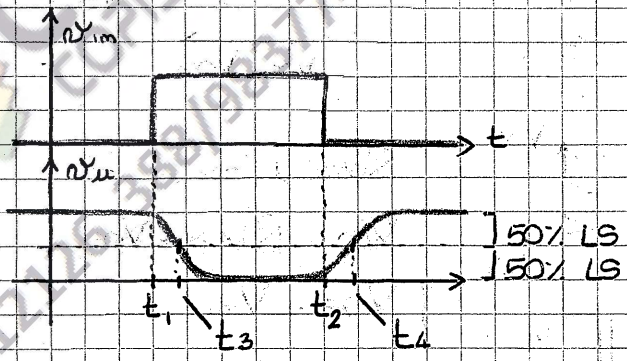
$$P_S = V_{cc}\frac{I_{CC_H} + I_{CC_L}}{2}$$ Potenza statica dissipata

→ Parametri dinamici:

$t_{pHL} = t_3 - t_1$ (propagation delay)

$t_{pHL} = t_4 - t_2$

$$t_p = \frac{t_{pHL} + t_{pLH}}{2} \quad (t_p)$$



La transizione si considera avvenuta se ha superato il 50% del LS

Il ritardo è dovuto agli effetti inerziali delle capacità → se aumenta la corrente, il ritardo diminuisce

↳ $i_C = C\frac{dV_C}{dt}$

t_f → fall time

$t(10\%\,LS) - t(90\%\,LS)$

t_r → rise time

$t(90\%\,LS) - t(10\%\,LS)$

Power Delay Product (PDP) $= P_S \cdot t_p$ [J]

Forsatura: uso di potenza statica per valutare di correnti dinamiche

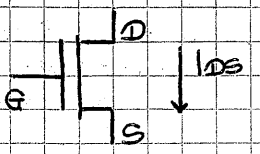
→ nMOS

$I_G = 0$ (corrente di gate nulla)

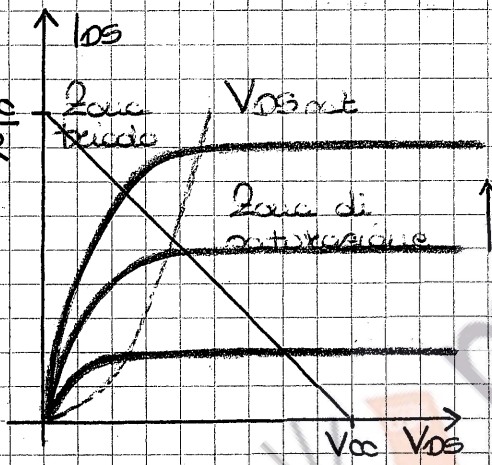
$\mu_n C_{ox}/2$ → fattore tecnologico
W/L → fattore geometrico (controllabile dal progettista)

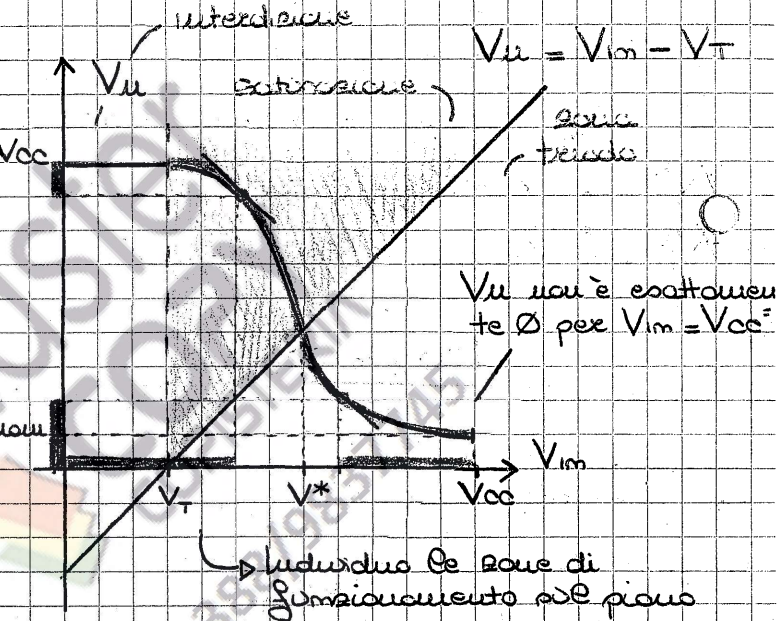
$$I_{DS} = \begin{cases} 0 & \text{per } V_{GS} < V_T \text{ (interdizione)} \\ \beta\left(2(V_{GS}-V_T)V_{DS} - V_{DS}^2\right) & \text{per } V_{GS} > V_T,\ V_{DS} < V_{GS}-V_T \text{ (zona triodo)} \\ \beta(V_{GS}-V_T)^2 & \text{per } V_{GS} > V_T,\ V_{DS} > V_{GS}-V_T \text{ (saturazione)} \end{cases}$$

$$\beta = \frac{\mu_n C_{ox}}{2} \cdot \frac{W}{L}$$



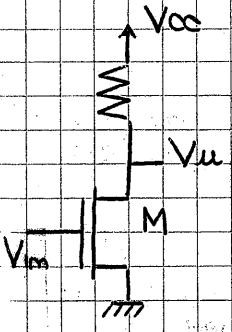
β = fattore moltiplicativo





→ Induttanza la zona di funzionamento sul piano

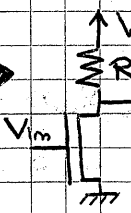
→ INVERTITORE MOS A CARICO RESISTIVO



Retta di carico:

$$V_{CC} = R I_{DS} + V_{DS}$$

$$\begin{cases} V_{GS} = V_{im} \\ V_{DS} = V_{uu} \end{cases}$$



$0 < V_{im} < V_T \rightarrow V_{uu} = V_{CC}$ $(I_{DS} = 0)$ → M interdetto

$V_{im} > V_T$, $V_{uu} > V_{im} - V_T \rightarrow V_{uu} = V_{CC} - R\cdot\beta(V_{im}-V_T)^2$ → M saturo (parabola con concavità verso il basso e vertice in V_T)

$V_{im} = V^* \rightarrow V_{uu} = V_{im} - V_T$ → Confine triodo/saturaz.

$$V^* = V_T + \frac{-1 \oplus \sqrt{1 + 4V_{CC}\cdot R\beta}}{2R\beta}$$

scende rapidamente grazie a $R\beta$

→ e - dà un risultato non valido

$V_{im} > V^* \rightarrow V_{uu} = V_{CC} - \beta R\cdot\left(2(V_{im}-V_T)V_{uu} - V_{uu}^2\right)$ (forma implicita) → quadratica

→ M in zona triodo

$$V_{OH\,non} = V_{CC} \; ; \; V_{OL\,non} = \frac{V_{CC}}{1 + 2R\beta(V_{CC}-V_T)}$$

MASTER COPY
Tel. 050 8312126
Cell. 388 9837745

Per il calcolo di A e B impongo $\frac{\partial V_u}{\partial V_{im}} = -1$

A: → derivata in zona di saturazione

$$V_{im} = V_T + \frac{1}{2R\beta} = V_{IL\ max}$$

$$V_u = V_{cc} - \frac{1}{2R\beta} = V_{OH\ min}$$

B:

$$V_{im} = V_T + 2\sqrt{\frac{V_{cc}}{3R\beta}} - \frac{1}{2R\beta} = V_{IH\ min}$$

$$V_u = \sqrt{\frac{V_{cc}}{3R\beta}} = V_{OL\ max}$$

$R\beta$ va massimizzato in modo da migliorare tutti i parametri

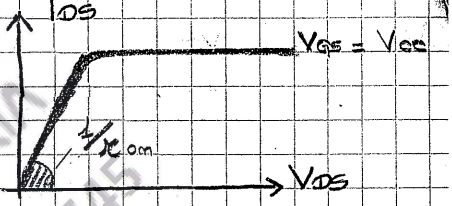
$$\frac{1}{r_{ON}} = \left.\frac{\partial I_{DS}}{\partial V_{DS}}\right|_{\substack{V_{DS}=0 \\ V_{GS}=V_{cc}}} = \boxed{2\beta(V_{cc} - V_T)}$$

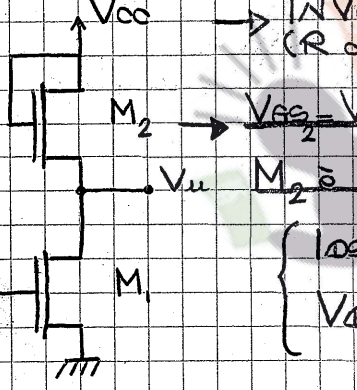
Resistenza differenziale

$1/r_{ON} \propto \beta$ → invertitori a rapporto = dipendono dal rapporto resistivo tra resistenza del carico e resistenza equivalente dei MOS:

R/r_{ON} ($\rightarrow R\beta$)

- riduco r_{ON} (aumento W) → aumenta l'area e quindi la capacità d'ingresso
- aumento R (però scorrono correnti più piccole)





INVERTITORE nMOS A CARICO SATURO

(R occupa molto spazio → viene sostituito con un MOS)

M_2 → $V_{GS_2} = V_{DS_2} \Rightarrow V_{DS_2} > V_{DS_2\,sat} = V_{GS_2} - V_T$

M_2 è sempre saturo

$$\begin{cases} I_{DS_1} = I_{DS_2} \\ V_{DS_1} = V_{cc} - V_{DS_2} \end{cases}$$

Curva di carico:

$V_{DS_2} = V_{DS_2\,sat} + V_T$

(ausiliaria alla retta di carico)

- $0 < V_{im} < V_T$ → M_1 interdetto, M_2 saturo (sempre, $I_{DS_2} = \beta(V_{GS_2} - V_T)^2$)

  $V_u = V_{cc} - V_T$ (non si ha l'1 logico pieno)

- $V_{im} > V_T$ → M_1 saturo, M_2 saturo

  $I_{DS_2} = \beta_2(V_{cc} - V_u - V_T)^2 = I_{DS_1} = \beta_1(V_{im} - V_T)^2$

  $$V_u = V_{cc} - V_T - \sqrt{\frac{\beta_1}{\beta_2}}(V_{im} - V_T)$$ (retta) → $\beta_1 > \beta_2$ (pendenza > 1) amplificazione

$$V^* = V_T + \frac{V_{cc} - V_T}{1 + \sqrt{\beta_1/\beta_2}}$$

→ I 2 MOS sono costruiti nello stesso chip (stessi μ_n e C_{ox}) ascissa nel punto di transizione

→ $V_{DS_1} = V_{GS_1} - V_T \Rightarrow V_{im} - V_T = V_{cc} - V_T - \sqrt{\frac{\beta_1}{\beta_2}}(V_{im} - V_T)$

$V_u = V_{im} - V_T$