RISPOSTE DOMANDE ORALE RETI LOGICHE

master COPY COPISTERIA
050/8312126 3837745

Questa è una raccolta di domande prese da varie prove d'esame orale che potrebbero contenere degli errori e/o imprecisioni. Queste domande non sono un sostituto del materiale ufficiale del corso ma un aiuto nella preparazione e ripasso per la prova orale.
In bocca a lupo e buono studio a tutti!

master COPY COPISTERIA
050/8312126 388/9837745

Indice

1. Riconoscitore di sequenza 10/11/01 come RSA e come MOORE 1
2. Descrivere e sintetizzare FFJK + Verilog 1
3. Circuito di complemento in base β generica. Dimostrazione algebrica della proprietà di scomposizione del complemento. 2
4. Fase di esecuzione dell'istruzione IRET. 3
5. Struttura interna della seguente interfaccia: (ingresso/uscita senza HS). 3
6. Controllore di interruzioni, versione funzionale con registri, struttura interna, istruzioni per getsirlo.
   Connettere il controllore al bus del processore visto a lezione in modo che i suoi registri vengano ad avere nello spazio di I/O indirizzi a partire da 'H20 (H0020). 4
7. Sintetizzare fino alla tabella delle transizioni. 6
8. Riempire il diagramma di evoluzione nel tempo dell'unità XXX. 7
9. Si dimostri che il sommatore per numeri naturali può essere usato anche per i numeri interi rappresentati in complemento, fatta eccezione per il sottocircuito di ow: si precisi la struttura di tale sottocircuito. 8
10. Montare 4 moduli di memoria 512Kx4 per ottenere una memoria risultante da 1Mx8. 9
11. Interfaccia parallela di uscita con handshake gestibile a controllo di programma: versione funzionale dei registri, gestione a controllo di programma. 9
12. Interfaccia parallela di uscita con handshake gestibile a interruzione di programma: versione funzionale dei registri, gestione software dell'uscita dati ad interruzione di programma, modifiche rispetto all'interfaccia gestibile a controllo di programma. 11
13. Elencare le reti logiche corrispondenti a modelli trasparenti e quelle corrispondeti a modelli non trasparanti. 13
14. Cosa è un'alea essenziale e come si elimina. 13
15. Completare la seguente fase di esecuzione in modo che venga generata un'interruzione interna di tipo 15 se alla fine il flag ow=1. 13
16. Dettagliare e mostrare con esempi i tipi d'indirizzamento nei processori INTEL, o se lo ritenete più semplice, nel processore visto a lezione. 14
17. Sintetizzare ASSIGN z=$(x_1x_0 = 11)$? S0 : $(x_1x_0 = 10)$? S1 : $(x_1x_0 = 00)$? S2 : S3; RSS. 15
18. Circuito di ow nel sommatore per interi relativi in base β generica e per la base 2. 16
19. Interfaccia seriale start/stop a controllo di programma: visione funzionale con registri, sottoprogramma d'ingresso, sottoprogramma d'uscita, descrizione in Verilog del trasmettitore. 17

20. Flip Flop D-PET con CAMPIONATORE e RITARDATORE (7474): schema a blocchi con evidenziazione dei due sottomoduli e descrizione senza sintesi del campionatore. Temporizzazione introducendo (in modo leggibile) i tempi T_{hold} , T_{setup} , e $T_{propagation}$. 19
21. RAM STATICA: struttura e temporizzazione; schema dello spazio di memoria con memoria video e EPROM (collocare quest'ultime dove volete, previa chiara dichiarazione di dove intendete collocarle). 21
22. Differenza nella fase di esecuzione dell'istruzione INT operando, a seconda che sia presente o meno il meccanismo di protezione. 22
23. Definizione di forma canonica di una funzione booleana a N variabili d'ingresso. . 23
24. Fase di esecuzione dell'istruzione :
OUT AL, offset_della_porta (#AL è il sorgente). 24
25. Modelli per reti sequenziali asincrone: regole di un corretto funzionamento, distinguendo tra quelle di temporizzazione e quelle di progetto. 24
26. Descrivere e disegnare la parte operativa relativamente al solo registro MJR: . . . 26
27. Circuito che implementa la parte dello statement always riportata sotto: 27
28. Temporizzazione di una rete di Mealy con Flip Flop D-PET come elementi di marcatura per gli stati interni. 28
29. Si lavori in base β con rappresentazioni in complemento. Il numero intero a è rappresentato dal numero naturale A su N cifre;
il numero intero b è rappresentato dal numero naturale B su M cifre.
Detto p l'intero p=a·b scrivere e giustificare l'algoritmo con cui trovare il numero naturale P che lo rappresenta su ??? cifre. 29
30. Cosa significa che un circuito sequenziale è non trasparente. 30
31. Decoder 2to4: descrizione e struttura a porte diffrerenze con il decoder con enabler. 30
32. Grafo di flusso del riconoscitore di sequenza 10,00,01 prima visto come RSA e poi come rete di MOORE. 31
33. Fase di esecuzione dell'istruzione SUB (DP), AL. 32
34. L'istruzione CALL indirizzo può essere sostituita dalla coppia di istruzioni:
PUSH IP
JMP indirizzo
Si? No? Perché? 32
35. Circuito moltiplicatore elementare con addizionatore in base 2 (moltiplicando X e costante additiva K a N bit e moltiplicatore Y a 1 bit). 32
36. Contatore up/down ad una cifra modulo 3 espandibile. 33
37. Sintetizzare il circuito sequenziale asincrono: 34
38. Latch SR: giustificare che tale circuito supporta bene le transizioni multiple in ingresso da sr = 01 a sr = 10 e viceversa. 35
39. Interfaccia di conversione A/D: visione funzionale con registri e gestione software; relazione tra l'ingresso v e l'uscita x del convertitore A/D e schema a blocchi. . . 35
40. Le istruzioni IN e OUT sono privilegiate. Come si può in un programma che gira in stato utente, fare ingresso/uscita dati? 37

master COPY COPISTERIA

41. Definizione di: implicati, implicanti principali, implicanti essenziali, implicanti assolutamnete eliminabili, implicanti semplicemente eliminabili, minitermini. Procedimento per individuarli. 37
42. Struttura interna delle seguenti interfacce: 38
43. L'intero a è rappresentato dal numero naturale A=314 su 3 cifre in base 6 in complemento alla radice. Qual è il numero naturale X che rappresenta a su m cifre in base 4 in complemento alla radice? 39
44. Interfaccia seriale:
- Schema a blocchi e visione funzionale dei registri
- Gestione software a gestione di programma
- Struttura della sottointerfaccia parallela a monte del trasmettitore a modifiche per renderla gestibile ad interruzione di programma
- Gestione software ad interruzione di programma dell'uscita dati
NOTA: non è richiesta la descrizione verilog del trasmettitore o del ricevitore. . 40
45. Flip Flop D-PET:
- Cosa significa che è non trasparente
- Schema a blocchi e tabella di flusso del campionatore (non è richiesta la sintesi)
- Inserire nello schema a blocchi i piedini per l'impostazione dello stato interno iniziale al reset asincrono. 41
46. Contatore up espandibile ad una cifra in base 5. 42
47. Cosa accade quando in un calcolatore si preme il pulsante reset. 44
48. Interfaccia seriale:
- Visione funzionale con registri
- Sottoprogramma di ingresso
- Sottoprogramma uscita
- Verilog trasmettitore e ricevitore. 44
49. Fase di esecuzione dell'istruzione JCon indirizzo. 47
50. Temporizzazione di una rete di Mealy Ritardato. 47
51. Dimostrare perchè le porte univrsali sono definite come tali. 47
52. Dimostrare il teorema della divisione con resto. 48
53. Enunciare e dimostrare le 2 leggi di De Morgan. 49
54. Grafo di flusso del riconscitore di sequenza 00,01,11 sia come rete sequenziale asincrona che come rete sequenziale sincronizzata di Moore. 50
55. Sommatore per numeri naturali in base β su N cifre e come si scompone in full adder. 51
56. Operatore di riduzione di campo. 52
57. Dati a e b numeri interi rappresentati in base β su N cifre in complemento alla radice, rappresentati dai numeri naturali A e B, come si trova il numero naturale S che rappresenta s=a+b su n cifre, come si verifica la presenza di overflow? . . 53
58. Divisiore per numeri interi in complemento alla radice (β generica e $\beta = 2$). . . . 54
59. Dalla rappresentazione in modulo e segno di un intero alla sua rappresentazione in complemento alla radice e viceversa (β generica e $\beta = 2$). 56